

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
10/005471
11/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月20日

出 願 番 号

Application Number:

特願2000-352307

出 願 人

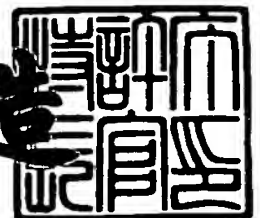
Applicant(s):

セイコーエプソン株式会社

2001年 9月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3088093

【書類名】 特許願

【整理番号】 PA04D602

【提出日】 平成12年11月20日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03K 3/00

【発明者】

 【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大▲塚▼ 修司

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100096817

 【弁理士】

 【氏名又は名称】 五十嵐 孝雄

 【電話番号】 052-218-5061

【選任した代理人】

 【識別番号】 100097146

 【弁理士】

 【氏名又は名称】 下出 隆史

【選任した代理人】

 【識別番号】 100102750

 【弁理士】

 【氏名又は名称】 市川 浩

【選任した代理人】

 【識別番号】 100109759

 【弁理士】

 【氏名又は名称】 加藤 光宏

【手数料の表示】

【予納台帳番号】 007847

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502061

【包括委任状番号】 9904030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック信号からのパルス信号の生成

【特許請求の範囲】

【請求項 1】 一定周期のクロック信号から特定のパルス信号を生成するための回路であって、

前記クロック信号の立ち上がりエッジと立ち上がりエッジとを検出するエッジ検出部と、

第 1 の遅延量を有する少なくとも 1 つの第 1 の遅延素子を有し、前記クロック信号の立ち上がりエッジから前記第 1 の遅延量で遅延した第 1 の遅延エッジを有する少なくとも 1 つの第 1 の遅延信号を生成する第 1 の遅延信号生成部と、

第 2 の遅延量を有する少なくとも 1 つの第 2 の遅延素子を有し、前記クロック信号の立ち下がりエッジから前記第 2 の遅延量で遅延した第 2 の遅延エッジを有する少なくとも 1 つの第 2 の遅延信号を生成する第 2 の遅延信号生成部と、

前記少なくとも 1 つの第 1 の遅延信号と、前記少なくとも 1 つの第 2 の遅延信号との論理演算を行うことによって前記パルス信号を生成する論理演算部と、を備えることを特徴とするパルス信号生成回路。

【請求項 2】 請求項 1 記載のパルス信号生成回路であって、

前記パルス信号の一周期は、前記クロック信号の一周期と同一に設定される、パルス信号生成回路。

【請求項 3】 請求項 1 または 2 記載のパルス信号生成回路であって、

前記第 1 と第 2 の遅延量は、前記クロック信号の一周期の $1/2$ 未満の値にそれぞれ設定されている、パルス信号生成回路。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載のパルス信号生成回路であって、

前記第 1 と第 2 の遅延量は互いに等しい、パルス信号生成回路。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載のパルス信号生成回路であって、

前記エッジ検出部は、

第 1 のクロック入力端子と第 1 の D 入力端子と第 1 の出力端子と第 1 の反転出

力端子とを有し、前記クロック信号が第 1 のクロック入力端子に入力されているとともに、前記第 1 の反転出力端子からの反転出力が前記第 1 の D 入力端子にフィードバックされている第 1 の D フリップフロップと、

第 2 のクロック入力端子と第 2 の D 入力端子と第 2 の出力端子と第 2 の反転出力端子とを有し、前記クロック信号を反転した反転クロック信号が前記第 2 のクロック入力端子に入力されているとともに、前記第 1 の D フリップフロップの前記第 1 の出力端子からの出力が前記第 2 の D 入力端子に入力されている第 2 のフリップフロップと、

を備えており、

前記第 1 の D フリップフロップの前記第 1 の出力端子からの出力が前記第 1 の遅延素子に入力されているとともに、前記第 2 の D フリップフロップの前記第 2 の出力端子からの出力が前記第 2 の遅延素子に入力されている、パルス信号生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一定周期のクロック信号から特定のパルス信号を生成する技術に関する。

【0002】

【従来の技術】

図 1 3 は、クロック信号 CLK から特定のパルス信号 Q 2 3 0 を生成するための従来のパルス信号生成回路 2 0 0 の一例を示すブロック図である。この回路 2 0 0 は、D フリップフロップ 2 1 0（以下、「DFF 2 1 0」と呼ぶ）と、直列に接続された 2 つの遅延素子 2 2 0、2 2 2 と、2 つの入力端子の一方が反転入力端子となっている NAND ゲート 2 3 0 とを備えている。クロック信号 CLK は、DFF 2 1 0 のクロック入力端子に与えられている。DFF 2 1 0 の出力 Q 2 1 0 は第 1 の遅延素子 2 2 0 に入力されており、反転出力 # Q 2 1 0 は D 入力端子にフィードバックされている。第 1 の遅延素子 2 2 0 で遅延された遅延信号 Q 2 2 0 は、NAND ゲート 2 3 0 の非反転入力端子に入力される。また、この

遅延信号Q 2 2 0は、第2の遅延素子2 2 2でさらに遅延された後にNANDゲート2 3 0の反転入力端子に入力される。

【0 0 0 3】

図1 4 (a) ~ (f) は、このパルス信号生成回路2 0 0の動作を示すタイミングチャートである。第1の遅延素子2 2 0から出力される第1の遅延信号Q 2 2 0 (図1 4 (c)) は、クロック信号CLKの立ち上がりエッジから第1の遅延時間 T_{d1} だけ遅延したエッジを有している。また、第2の遅延素子2 2 2から出力される第2の遅延信号Q 2 2 2 (図1 4 (d)) は、第1の遅延信号Q 2 2 0の立ち上がりエッジからさらに第2の遅延時間 T_{d2} だけ遅延したエッジを有している。従って、第2の遅延信号Q 2 2 2のエッジは、クロック信号CLKの立ち上がりエッジからは、遅延時間($T_{d1} + T_{d2}$)だけ遅延している。NANDゲート2 3 0は、これらの2つの遅延信号Q 2 2 0, Q 2 2 2から、図1 4 (e) に示すパルス信号Q 2 3 0 (図1 4 (e)) を生成する。

【0 0 0 4】

このパルス信号Q 2 3 0は、例えばRAMの書き込み制御信号として使用される。すなわち、パルス信号Q 2 3 0は、クロック信号CLKの一周期 T_c の間に、特定の期間 T_w だけLレベルとなるような信号として設計されている。この期間 T_w の直前にはセットアップ時間 T_s が設定されており、また、期間 T_w の直後にはホールド時間 T_h が設定されている。これらの期間 T_s , T_w , T_h には、設計上の要求値がそれぞれ設定される。2つの遅延時間 T_{d1} , T_{d2} は、これらの期間 T_s , T_w , T_h がそれぞれの要求値を満足するように設定される。

【0 0 0 5】

【発明が解決しようとする課題】

しかし、この回路の設計においては、遅延素子2 2 0, 2 2 2の製造誤差や温度依存性等による遅延時間のバラツキを考慮して、遅延時間 T_{d1} , T_{d2} にかなり大きな誤差を想定するのが普通である。このため、図1 3に示す従来の回路の設計では、これらの期間 T_s , T_w , T_h がそれぞれの要求値を満足するように遅延時間 T_{d1} , T_{d2} を設定することが困難な場合がある。ここで、仮に、3つの期間 T_s , T_w , T_h に以下のような要求値が設定されている場合を想定

する。

【0006】

条件C1: $T_s \geq 1 \text{ ns}$;

条件C2: $T_w \geq 10 \text{ ns}$;

条件C3: $T_h \geq 3 \text{ ns}$

【0007】

ところで、温度特性等による遅延時間 T_{d1} 、 T_{d2} の変動は、通常は、ノミナル値（典型値）の約0.6倍から約1.6倍の間の値を取る。従って、遅延時間 T_{d1} 、 T_{d2} の最大値は、最小値の約2.7倍（ $=1.6/0.6$ ）程度にもなりうる。このような誤差を考慮すると、上記条件C1～C3は、以下のよう
に書き換えられる。

【0008】

条件C1a: $T_s = T_{d1} = 1 \text{ ns (min)} \sim 2.7 \text{ ns (max)}$;

条件C2a: $T_w = T_{d2} = 10 \text{ ns (min)} \sim 27 \text{ ns (max)}$;

条件C3a: $T_h \geq 3 \text{ ns}$

【0009】

ここで、(min)は遅延時間 T_{d1} 、 T_{d2} が最小値となる条件を意味し、(max)は遅延時間 T_{d1} 、 T_{d2} が最大値となる条件を意味する。従って、遅延時間 T_{d1} 、 T_{d2} がいずれも最大値となる条件では、クロック周期 T_c は約33 ns（ $=2.7+27+3$ ）となり、これは約30MHzに相当する。一方、上記条件C1a～C3aから決まるクロック周期 T_c の最小値（RAMのサイクル期間）は14（ $=1+10+3$ ）nsであり、これは約71MHzに相当する。すなわち、約71MHzで動作させることが可能なRAMを用いたとしても、図13の回路で書き込み制御信号を生成する場合には、そのRAMを約30MHz（約42%の速度）で動作させることができるだけである。

【0010】

このように、従来のパルス信号生成回路では、パルス信号の特定の期間に関する要求値を満足させるためには、遅延素子における遅延時間の変動を考慮して、クロック信号の周期をかなり低下させなければならないという問題があった。

【 0 0 1 1 】

本発明は、上述した従来の課題を解決するためになされたものであり、遅延素子における遅延時間の変動を考慮しても、クロック信号の周期を過度に低下させずにパルス信号の特定の期間に関する要求値を満足させることのできる技術を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段およびその作用・効果】

上記目的を達成するために、本発明は、一定周期のクロック信号から特定のパルス信号を生成するための回路であって、前記クロック信号の立ち上がりエッジと立ち上がりエッジとを検出するエッジ検出部と、第1の遅延量を有する少なくとも1つの第1の遅延素子を有し、前記クロック信号の立ち上がりエッジから前記第1の遅延量で遅延した第1の遅延エッジを有する少なくとも1つの第1の遅延信号を生成する第1の遅延信号生成部と、第2の遅延量を有する少なくとも1つの第2の遅延素子を有し、前記クロック信号の立ち下がりエッジから前記第2の遅延量で遅延した第2の遅延エッジを有する少なくとも1つの第2の遅延信号を生成する第2の遅延信号生成部と、前記少なくとも1つの第1の遅延信号と、前記少なくとも1つの第2の遅延信号との論理演算を行うことによって前記パルス信号を生成する論理演算部と、を備えることを特徴とする。

【 0 0 1 3 】

このパルス信号生成回路では、クロック信号の立ち上がりエッジから第1の遅延信号を生成し、クロック信号の立ち下がりエッジから第2の遅延信号を生成して、これらの遅延信号の論理演算を行うことによってパルス信号を生成するので、従来のようにクロック信号の立ち上がりエッジのみからパルス信号を生成する場合に比べて、遅延量の変動の影響を小さくすることができる。この結果、遅延素子における遅延量の変動を考慮しても、クロック信号の周期を過度に低下させずにパルス信号の特定の期間に関する要求値を満足させることが可能である。

【 0 0 1 4 】

なお、前記パルス信号の一周期は、前記クロック信号の一周期と同一に設定されることが好ましい。この構成では、遅延量の変動によるパルス信号への影響を

小さく抑えることが可能である。

【0015】

また、前記第1と第2の遅延量は、前記クロック信号の一周期の $1/2$ 未満の値にそれぞれ設定されていることが好ましい。この構成では、遅延量そのものが小さくなるので、温度特性などに起因する遅延量の変動も小さく抑えることが可能である。

【0016】

さらに、前記第1と第2の遅延量は互いに等しいことが好ましい。この構成では、遅延量変動しても、第1の遅延量で決定されるパルス信号のエッジと、第2の遅延量で決定されるパルス信号のエッジとの間の期間が常にほぼ一定に保たれる。

【0017】

なお、前記エッジ検出部は、第1のクロック入力端子と第1のD入力端子と第1の出力端子と第1の反転出力端子とを有し、前記クロック信号が第1のクロック入力端子に入力されているとともに、前記第1の反転出力端子からの反転出力が前記第1のD入力端子にフィードバックされている第1のDフリップフロップと、第2のクロック入力端子と第2のD入力端子と第2の出力端子と第2の反転出力端子とを有し、前記クロック信号を反転した反転クロック信号が前記第2のクロック入力端子に入力されているとともに、前記第1のDフリップフロップの前記第1の出力端子からの出力が前記第2のD入力端子に入力されている第2のフリップフロップと、を備えていてもよい。このとき、前記第1のDフリップフロップの前記第1の出力端子からの出力が前記第1の遅延素子に入力されているとともに、前記第2のDフリップフロップの前記第2の出力端子からの出力が前記第2の遅延素子に入力されている。

【0018】

この構成では、クロック信号の立ち上がりエッジと立ち上がりエッジとをうまく検出することが可能である。

【0019】

なお、本発明は、種々の態様で実現することが可能であり、例えば、パルス信

号生成回路やパルス信号生成方法等の態様で実現することができる。

【 0 0 2 0 】

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

- A. 第 1 実施例：
- B. 第 2 実施例：
- C. 第 3 実施例：
- D. 第 4 実施例：
- E. 第 5 実施例：
- F. 第 6 実施例：
- G. 変形例：

【 0 0 2 1 】

- A. 第 1 実施例：

図 1 は、本発明の第 1 実施例としてのパルス信号生成回路 1 0 0 の構成を示すブロック図である。このパルス信号生成回路 1 0 0 は、2 つの D フリップフロップ 2 0, 2 2 と、2 つの遅延素子 3 0, 3 2 と、2 つの入力端子の一方が非反転入力端子となっている NAND ゲート 4 0 とを備えている。なお、以下では「D フリップフロップ」を「D F F」と呼ぶ。

【 0 0 2 2 】

クロック信号 C L K は、第 1 の D F F 2 0 のクロック入力端子に入力されるとともに、反転されて第 2 の D F F 2 2 のクロック端子にも入力されている。第 1 の D F F 2 0 の反転出力 # Q 2 0 は、第 1 の D F F 2 0 の D 入力端子にフィードバックされている。第 1 の D F F 2 0 の出力 Q 2 0 は、第 2 の D F F 2 2 の D 入力端子に入力されているとともに、第 1 の遅延素子 3 0 にも入力されている。第 2 の D F F 2 2 の出力 Q 2 2 は、第 2 の遅延素子 3 2 に入力されている。第 1 の遅延素子 3 0 で遅延された第 1 の遅延信号 Q 3 0 は、NAND ゲート 4 0 の非反転入力端子に入力される。また、第 2 の遅延素子 3 2 で遅延された第 2 の遅延信号 Q 3 2 は、NAND ゲート 4 0 の反転入力端子に入力される。なお、2 つの D F F 2 0, 2 2 は、初期状態ではリセットされているので、初期状態ではそ

これらの出力Q20, Q22はLレベルをとる。

【0023】

図2は、第1実施例のパルス信号生成回路100の動作を示すタイミングチャートである。第1のDFF20の出力Q20（図2（b））は、クロック信号CLKの立ち上がりエッジのたびにレベルが反転する信号である。一方、第2のDFF22の出力Q22（図2（c））は、クロック信号CLKの立ち下がりエッジのたびにレベルが反転する信号である。

【0024】

第1のDFF20の出力Q20は、第1の遅延素子30で第1の遅延時間Td1だけ遅延されて第1の遅延信号Q30（図2（d））となる。一方、第2のDFF22の出力Q22は、第2の遅延素子32で第2の遅延時間Td2だけ遅延されて第2の遅延信号Q32（図2（e））となる。すなわち、第1の遅延信号Q30は、クロック信号CLKの立ち上がりエッジから第1の遅延時間Td1だけ遅延したエッジを有する信号である。また、第2の遅延信号Q32は、クロック信号CLKの立ち下がりエッジから第2の遅延時間Td2だけ遅延したエッジを有する信号である。NANDゲート40は、これらの遅延信号Q30, Q32を論理演算することによって、パルス信号Q40（図2（f））を生成する。

【0025】

パルス信号Q40の立ち下がりエッジは、クロック信号CLKの立ち上がりエッジから第1の遅延時間Td1だけ遅延している。また、パルス信号Q40の立ち上がりエッジは、クロック信号CLKの立ち下がりエッジから第2の遅延時間Td2だけ遅延している。このように、第1実施例のパルス信号生成回路100では、パルス信号Q40の立ち下がりエッジと立ち上がりエッジとが、同じクロック信号の異なる種類のエッジからの遅延によってそれぞれ生成されているので、遅延時間の誤差によるパルス信号への影響が少なく済むという利点がある。この結果、以下に説明するように、クロック信号CLKの周期Tcを従来に比べて短く設定することが可能である。

【0026】

ここでは、上述した従来技術で説明した例と同様に、NANDゲート40から

の出力信号Q40（図2（f））の3つの期間 T_s 、 T_w 、 T_h に、それぞれ以下のような条件C1～C3が設定されているものと仮定する。

【0027】

条件C1： $T_s \geq 1 \text{ ns}$ ；

条件C2： $T_w \geq 10 \text{ ns}$ ；

条件C3： $T_h \geq 3 \text{ ns}$

【0028】

図2（f）から理解できるように、これらの期間 T_s 、 T_w 、 T_h は、クロック信号CLKの周期 T_c および遅延時間 T_{d1} 、 T_{d2} と、以下の（1）～（3）式の関係がある。

【0029】

$$T_s = T_{d1} \quad \dots (1)$$

$$T_w = T_{d2} + T_c / 2 - T_{d1} \quad \dots (2)$$

$$T_h = T_c / 2 - T_{d2} \quad \dots (3)$$

【0030】

このとき、上記条件C1～C3は、以下の条件C4～C6に書き換えられる。

条件C4： $T_s = T_{d1} \geq 1 \text{ ns}$ ；

条件C5： $T_w = T_{d2} + T_c / 2 - T_{d1} \geq 10 \text{ ns}$ ；

条件C6： $T_h = T_c / 2 - T_{d2} \geq 3 \text{ ns}$

【0031】

ここで、第1の遅延時間 T_{d1} の最大値 $T_{d1 \max}$ は、その最小値 $T_{d1 \min}$ の2.7倍であると仮定し、第2の遅延時間 T_{d2} の最大値 $T_{d2 \max}$ もその最小値 $T_{d2 \min}$ の2.7倍であると仮定する。また、2つの遅延時間 T_{d1} 、 T_{d2} のうちの一方が最小値を取るときには他方も最小値をとり、一方が最大値を取るときには他方も最大値をとると仮定する。この後者の仮定は、遅延時間の最大値や最小値に、遅延素子30、32の温度依存性の影響が含まれていることを考慮したものである。すなわち、一方の遅延素子が温度依存性の影響で最大値を取るときに他方の遅延素子が温度依存性の影響で最小値を取る、という事態は考えられず、両方が共に最小値を取るか、共に最大値を取ると考えるのが妥当である

【0032】

ところで、上記条件C4は、第1の遅延時間 $Td1$ がその最小値 $Td1min$ を取るときに最も厳しい。また、上記条件C6は、第2の遅延時間 $Td2$ がその最大値 $Td2max (= 2.7 \times Td2min)$ を取るときに最も厳しい。従って、条件C4～C6は、次の条件C4a～C6aに書き換えることができる。

【0033】

条件C4a : $Ts = Td1min \geq 1ns$

条件C5a : $Tw = Td2 + Tc / 2 - Td1 \geq 10ns$

条件C6a : $Th = Tc / 2 - 2.7 \times Td2min \geq 3ns$

【0034】

ここで、遅延時間 $Td1$ 、 $Td2$ がそれぞれの最小値 $Td1min$ 、 $Td2min$ を取るときに、期間 Tw が $10ns$ となる場合を想定する。このとき、次の(4)～(6)式が成立する。

$$Td1min \geq 1ns \quad \dots (4)$$

$$Td2min + Tc / 2 - Td1min = 10ns \quad \dots (5)$$

$$Tc / 2 - 2.7 \times Td2min \geq 3ns \quad \dots (6)$$

【0035】

(5) 式を(4) 式に代入すると、次の(7) 式が得られる。

$$Td2min + Tc / 2 \geq 11ns \quad \dots (7)$$

【0036】

(6) 式と(7) 式を Tc について解くと、下記の(8) 式が得られる。

$$Tc \geq 17.7ns \quad \dots (8)$$

【0037】

ここで、 $Td1min = 1ns$ 、 $Tc = 17.7ns$ の場合を考えると、(5) 式から、 $Td2min$ は $2.15ns$ となる。 $Tc = 17.7ns$ 、 $Td1 = Td1min = 1ns$ 、 $Td2 = Td2min = 2.15ns$ のときに上記条件C4～C6が成立することは、容易に確認できる。

【0038】

一方、遅延時間 T_{d1} , T_{d2} の最大値 T_{d1max} , T_{d2max} は、それぞれの最小値 T_{d1min} , T_{d2min} の 2.7 倍なので、それぞれ 2.7 ns, 5.8 ns となる。この最大値条件のとき、すなわち、 $T_c = 17.7$ ns, $T_{d1} = T_{d1max} = 2.7$ ns, $T_{d2} = T_{d2max} = 5.8$ ns のときも、上記条件 C4 ~ C6 が成立することが確認できる。従って、遅延時間 T_{d1} , T_{d2} の変動を考慮しても、クロック周期 T_c を 17.7 ns (56.5 MHz) に設定すれば、パルス信号 Q40 の各期間 T_s , T_w , T_h の要求値を満足することが可能である。

【0039】

ところで、上記条件 C1 ~ C3 から決まるクロック周期 T_c の最小値は 14 (= 1 + 10 + 3) ns であり、これは約 71 MHz に相当する。これに対して、本実施例では、遅延時間の変動を考慮しても、クロック周期を 17.7 ns (56.5 MHz) に設定することが可能である。例えば、このパルス信号 Q40 を RAM の書き込み制御信号として使用するときには、RAM の最大可能動作周波数 (71 MHz) の約 80 % の周波数で動作させることが可能である。一方、従来技術で説明したように、図 13 に示した従来の回路では、RAM の最大可能動作周波数の約 42 % の周波数 (30 MHz) で動作させることが可能であるにすぎなかった。すなわち、第 1 実施例の回路では、図 13 に示した従来の回路に比べて約 1.9 倍の周波数のパルス信号を生成することが可能である。

【0040】

以上の説明から理解できるように、第 1 実施例の回路では、遅延素子 30, 32 における遅延時間 T_{d1} , T_{d2} の変動を考慮しても、クロック周期 T_c を過度に低下させずにパルス信号 Q40 の各期間に関する要求値を満足させることができる。

【0041】

但し、遅延時間 T_{d1} , T_{d2} は、クロック周期 T_c の $1/2$ 未満の値に設定することが好ましい。これは、以下のような理由による。例えば、遅延時間 T_{d1} がクロック周期 T_c の $1/2$ 以上である場合には、パルス信号 Q40 の立ち下がりエッジは、クロック信号 CLK の立ち下がりエッジの後に発生する。従って

、このときには、パルス信号Q40の立ち下がリエッジを、クロック信号CLKの立ち下がリエッジから生成することが可能になる。換言すれば、遅延時間 T_{d1} がクロック周期 T_c の $1/2$ 以上である場合には、遅延時間 T_{d1} からクロック信号の半周期 $T_c/2$ だけ減算した時間 $(T_{d1} - T_c/2)$ を算出し、クロック信号CLKの立ち下がリエッジからこの時間 $(T_{d1} - T_c/2)$ だけ遅延した時刻で、パルス信号Q40の立ち下がリエッジを発生させることができる。この方法では、遅延時間 T_{d1} がクロック周期 T_c の $1/2$ 以上である場合に比べて遅延時間の変動による影響が少なくなるという利点がある。従って、図1の回路においては、遅延時間 T_{d1} 、 T_{d2} はクロック周期 T_c の $1/2$ 未満の値に設定することが好ましい。

【0042】

ところで、パルス信号Q40のLレベルの期間 T_w は、遅延時間 T_{d1} 、 T_{d2} の変動に応じて変化するが、その変化の仕方は2つの遅延時間 T_{d1} 、 T_{d2} の大小関係によって異なる。図3は、第1の遅延時間 T_{d1} が第2の遅延時間 T_{d2} よりも小さいときに、遅延時間 T_{d1} 、 T_{d2} がそれぞれ最小値をとる場合（図3（b））と、最大値をとる場合（図3（c））とを比較して示す説明図である。第1の遅延時間 T_{d1} が第2の遅延時間 T_{d2} よりも小さいときには、遅延時間が最小値をとる場合よりも最大値をとる場合の方が期間 T_w が長くなることが理解できる。

【0043】

図4は、第1と第2の遅延時間 T_{d1} 、 T_{d2} が等しいときに、遅延時間 T_{d1} 、 T_{d2} がそれぞれ最小値をとる場合と、それぞれ最大値をとる場合とを比較して示す説明図である。2つの遅延時間 T_{d1} 、 T_{d2} が等しいときには、遅延時間が変動しても、期間 T_w の長さはほぼ一定に保たれる。

【0044】

図5は、第1の遅延時間 T_{d1} が第2の遅延時間 T_{d2} よりも大きいときに、遅延時間 T_{d1} 、 T_{d2} がそれぞれ最小値をとる場合と最大値をとる場合とを比較して示す説明図である。第1の遅延時間 T_{d1} が第2の遅延時間 T_{d2} よりも大きいときには、遅延時間が最小値をとる場合よりも、最大値をとる場合の方が

期間 T_w が短くなる。

【 0 0 4 5 】

このように、期間 T_w （すなわち、クロック信号の立ち上がりエッジを遅延させて得られた遅延エッジと、立ち下がりエッジを遅延させて得られた遅延エッジとで挟まれる期間）の長さに対する遅延時間 T_{d1} 、 T_{d2} の変動の影響は、遅延時間 T_{d1} 、 T_{d2} の大小関係に依存している。従って、期間 T_w の要求値の条件に応じて、遅延時間 T_{d1} 、 T_{d2} の大小関係を適切に設定することが好ましい。例えば、期間 T_w の長さを常にほぼ一定にするためには、遅延時間 T_{d1} 、 T_{d2} を等しく設定することが好ましい。

【 0 0 4 6 】

パルス信号 Q_{40} は、RAM の書き込み制御のみでなく、他の用途にも利用することが可能である。図 6 は、パルス信号 Q_{40} を、データバス上のデータ転送のためのストロブパルスとして使用する例を示す説明図である。図 6 (b) は遅延時間 T_{d1} 、 T_{d2} が最小値をとる条件におけるパルス信号 Q_{40} を示し、図 6 (d) はその条件におけるデータバス上のデータ信号のタイミングを示している。また、図 6 (c) は遅延時間 T_{d1} 、 T_{d2} が最大値をとる条件におけるパルス信号 Q_{40} を示し、図 6 (e) はその条件におけるデータバス上のデータ信号のタイミングを示している。

【 0 0 4 7 】

この例から理解できるように、遅延時間 T_{d1} 、 T_{d2} が温度依存性等に起因して変動し、これに応じてパルス信号 Q_{40} のタイミングが変化するときには、データバス上のデータ信号のタイミングもこれと同様な傾向で変化する。すなわち、データ信号の変化点からパルス信号 Q_{40} の立ち下がりエッジまでの期間 T_p や、パルス信号 Q_{40} の立ち上がりエッジからデータ信号の変化点までの期間 T_q は、温度による影響を受けたとしても一定以上の長さに保たれる。従って、データ信号のタイミングが温度依存性等の影響で変化しても、パルス信号 Q_{40} をストロブパルスとして用いれば、データ転送を確実に行うことが可能である。また、上述したように、第 1 実施例の回路 100 によれば、パルス信号 Q_{40} の周波数を従来よりも大きな値に設定することができるので、データ転送を高速

に行うことが可能である。

【0048】

B. 第2実施例：

図7は、本発明の第2実施例のパルス信号生成回路110の構成を示すブロック図である。このパルス信号生成回路110は、前段回路112と、後段回路114と、ANDゲート50とを有している。前段回路112は、図1に示した第1実施例のパルス信号生成回路100と同じ構成を有している。後段回路114は、2つのDFF24、26と、2つの遅延素子34、36と、2つの入力端子の一方が反転入力端子となっているNANDゲート42とを有している。後段回路114内の各素子の間の接続状態は、前段回路112内の各素子の間の接続状態と基本的に同じである。また、後段回路114内の遅延素子34、36は、前段回路112内の遅延素子30、32とそれぞれ同じ遅延時間 $Td1$ 、 $Td2$ を有している。但し、後段回路114内の第1のDFF24のD入力端子には、前段回路112内の第2のDFF22からの出力 $Q22$ が入力されている。また、前段回路112の第1のDFF20と異なり、後段回路114の第1のDFF24の反転出力は、DFF24のD入力端子にはフィードバックされていない。また、後段回路114内の2つのDFF24、26は初期状態ではセットされているので、初期状態ではそれらの出力 $Q24$ 、 $Q26$ はHレベルをとる。ANDゲート50は、前段回路112と後段回路114の出力 $Q40$ 、 $Q42$ （すなわち2つのNANDゲート40、42の出力）の論理積をとることによって、最終的なパルス信号 $Sout$ を生成する。

【0049】

図8は、第2実施例のパルス信号生成回路110の動作を示すタイミングチャートである。図8(a)、(b)、(c)、(d)に示す信号CLK、 $Q30$ 、 $Q32$ 、 $Q40$ は、前段回路112の信号であり、第1実施例において図2(a)、(d)、(e)、(f)に示した対応する信号とそれぞれ同じものである。また、図8(e)、(f)、(g)に示す信号 $Q34$ 、 $Q36$ 、 $Q42$ は、後段回路114の信号であり、前段回路112における信号 $Q30$ 、 $Q32$ 、 $Q40$ からそれぞれクロック周期 Tc だけ後ろにシフトした信号になっている。例えば

、前段回路112からの出力Q40が奇数番目の周期 T_c におけるパルス信号に相当し、後段回路114からの出力Q42は偶数番目の周期 T_c におけるパルス信号に相当する。ANDゲート50から出力されるパルス信号 S_{out} は、これらの出力Q40、Q42のいずれかがLレベルである期間にLレベルとなるように、これらの出力Q40、Q42を論理演算することによって生成されている。この結果、このパルス信号 S_{out} は、各クロック周期 T_c 毎にLレベルとなる期間 T_w が1回ずつ現れる信号となっている。

【0050】

以上の説明から理解できるように、第2実施例のパルス信号生成回路110は、クロック信号CLKの各周期 T_c 毎に、Lレベルとなる期間 T_w が1回ずつ現れるパルス信号 S_{out} を生成することができる。また、このパルス信号 S_{out} を反転すれば、クロック信号CLKの各周期 T_c 毎にHレベルとなる期間 T_w が1回ずつ現れるパルス信号も容易に作成可能である。従って、第2実施例のパルス信号生成回路110では、クロック信号CLKの各周期 T_c 毎に、所定の論理レベルをとる期間 T_w が1回ずつ現れるようなパルス信号 S_{out} を生成することが可能である。

【0051】

上述した第1実施例におけるRAMの動作周波数に関する計算は、正確には図7に示す第2実施例のパルス信号生成回路110に対して適用されるものである。但し、第1実施例のパルス信号生成回路100は、図13に示した回路の約1.9倍の周波数のパルス信号を生成できる点に変わりはない。第2実施例のパルス信号生成回路110は、第1実施例のパルス信号生成回路100のさらに2倍の周波数を有するパルス信号を生成することが可能である。

【0052】

C. 第3実施例：

図9は、本発明の第3実施例のパルス信号生成回路120の構成を示すブロック図である。このパルス信号生成回路120は、図7に示した第2実施例の回路から、2つのDFF24、26を省略した構成を有している。また、この回路120では、2組目の遅延素子34、36の入力が、第2実施例の回路とは異なる

。すなわち、第1の遅延時間 $Td1$ を有する遅延素子34には、第1のDFF20の反転出力が入力されており、第2の遅延時間 $Td2$ を有する遅延素子36には、第2のDFF22の反転出力が入力されている。

【0053】

この第3実施例のパルス信号生成回路120も、第2実施例のパルス信号生成回路110とほぼ同じパルス信号 S_{out} を生成することが可能である。また、第3実施例は、第2実施例よりも回路構成が単純であるという利点がある。

【0054】

D. 第4実施例：

図10は、本発明の第4実施例のパルス信号生成回路130の構成を示すブロック図である。このパルス信号生成回路130は、図9に示した第3実施例の回路から、2つの遅延素子34、36を省略した構成を有している。また、このパルス信号生成回路130では、第1の遅延素子30の出力 $Q30$ が、第1のNANDゲート40の非反転入力端子と第2のNANDゲート42の反転入力端子とに入力されている。また、第2の遅延素子32の出力 $Q32$ が、第1のNANDゲート40の反転入力端子と第2のNANDゲート42の非反転入力端子とに入力されている。

【0055】

この第4実施例のパルス信号生成回路130も、第2実施例や第3実施例のパルス信号生成回路とほぼ同じパルス信号 S_{out} を生成することが可能である。また、第4実施例は、第3実施例よりもさらに回路構成が単純であるという利点がある。

【0056】

E. 第5実施例：

図11は、本発明の第5実施例のパルス信号生成回路140の構成を示すブロック図である。このパルス信号生成回路140は、図10に示した第4実施例の回路の2つのNANDゲート40、42とANDゲート50とを、1つのEXNORゲート60に置き換えた構成を有している。この第5実施例のパルス信号生成回路140も、第2ないし第4実施例のパルス信号生成回路とほぼ同じパルス

信号 S out を生成することが可能である。

【 0 0 5 7 】

F. 第 6 実施例：

図 1 2 は、本発明の第 6 実施例のパルス信号生成回路 1 5 0 の構成を示すブロック図である。このパルス信号生成回路 1 5 0 は、図 1 1 に示した第 5 実施例の回路の第 1 の D F F 2 0 の D 入力端子の前段に、イネーブル制御回路 7 0 を追加した構成を有している。イネーブル制御回路 7 0 は、2 つの A N D ゲート 7 2, 7 4 と、O R ゲート 7 6 とを有している。第 1 の A N D ゲート 7 2 の 2 つの入力端子うちの一方は反転入力端子である。

【 0 0 5 8 】

外部から与えられるイネーブル信号 E N は、第 1 の A N D ゲート 7 2 の反転入力端子と、第 2 の A N D ゲート 7 4 の一方の入力端子とに共通に入力される。第 1 の A N D ゲート 7 2 の他方の入力端子には第 1 の D F F 2 0 の出力 Q 2 0 が入力されている。また、第 2 の A N D ゲート 7 4 の他方の入力端子には、第 1 の D F F の反転出力 # Q 2 0 が入力されている。2 つの A N D ゲート 7 2, 7 4 の出力は、O R ゲート 7 6 に入力されており、O R ゲート 7 6 の出力は第 1 の D F F の D 入力端子に供給されている。

【 0 0 5 9 】

この第 6 実施例のパルス信号生成回路 1 5 0 では、イネーブル信号 E N のレベルによって動作の有無が制御される。すなわち、イネーブル信号 E N が L レベルのときにはパルス信号生成回路 1 5 0 は動作せず、パルス信号 S out は L レベルに保たれる。一方、イネーブル信号 E N が H レベルのときには、パルス信号生成回路 1 5 0 は、前述した図 8 (h) に示したパルス信号 S out を生成する。

【 0 0 6 0 】

この例からも理解できるように、本発明のパルス信号生成回路としては種々の回路構成を採用することが可能であり、また、パルス信号を生成する機能以外の他の機能を実現するために、付加的な回路を設けることも可能である。

【 0 0 6 1 】

G. 変形例：

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形が可能である。

【 0 0 6 2 】

G 1. 変形例 1 :

上記実施例では、クロック信号のエッジを検出するエッジ検出回路として複数の D フリップフロップを用いていたが、D フリップフロップ以外の回路素子を用いてエッジ検出回路を構成してもよい。

【 0 0 6 3 】

G 2. 変形例 2 :

上記実施例では、クロック信号 CLK の 1 周期の中で一定期間 T_w だけ L レベルとなるようなパルス信号を生成していたが、本発明は、これ以外の種々のパルス信号を生成するための回路に適用可能である。

【 0 0 6 4 】

G 3. 変形例 3 :

第 2 実施例 (図 7) や第 3 実施例 (図 8) の回路では、クロック信号の立ち上がりエッジから第 1 の遅延量 T_{d1} だけ遅延したエッジを有する 2 つの第 1 の遅延信号 Q_{30} 、 Q_{34} が生成されており、また、クロック信号の立ち下がりエッジから第 2 の遅延量 T_{d2} だけ遅延したエッジを有する 2 つの第 2 の遅延信号 Q_{32} 、 Q_{36} が生成されている。一方、第 1 実施例 (図 1) や第 4 実施例 (図 10)、第 5 実施例 (図 11)、第 6 実施例 (図 12) の回路では、第 1 の遅延信号 Q_{30} と第 2 の遅延信号 Q_{32} はいずれも 1 つずつしか生成されていない。これから理解できるように、本発明では、クロック信号の立ち上がりエッジから第 1 の遅延量で遅延したエッジを有する少なくとも 1 つの第 1 の遅延信号が生成されるとともに、クロック信号の立ち下がりエッジから第 2 の遅延量で遅延したエッジを有する少なくとも 1 つの第 2 の遅延信号を生成される。そして、これらの少なくとも 1 つの第 1 の遅延信号と、少なくとも 1 つの第 2 の遅延信号との論理演算を行うことによってパルス信号が生成される。

【図面の簡単な説明】

【図 1】

第 1 実施例のパルス信号生成回路 1 0 0 の構成を示すブロック図。

【図 2】

第 1 実施例のパルス信号生成回路 1 0 0 の動作を示すタイミングチャート。

【図 3】

第 1 の遅延時間 $T d 1$ が第 2 の遅延時間 $T d 2$ よりも小さいときに、遅延時間が最小値をとる場合と最大値をとる場合とを比較して示す説明図。

【図 4】

第 1 と第 2 の遅延時間 $T d 1$, $T d 2$ が等しいときに、遅延時間が最小値をとる場合と最大値をとる場合とを比較して示す説明図。

【図 5】

第 1 の遅延時間 $T d 1$ が第 2 の遅延時間 $T d 2$ よりも大きいときに、遅延時間が最小値をとる場合と最大値をとる場合とを比較して示す説明図。

【図 6】

外部バスのデータ転送のためにパルス信号 $Q 4 0$ を使用する例を示す説明図。

【図 7】

第 2 実施例のパルス信号生成回路 1 1 0 の構成を示すブロック図。

【図 8】

第 2 実施例のパルス信号生成回路 1 1 0 の動作を示すタイミングチャート。

【図 9】

第 3 実施例のパルス信号生成回路 1 2 0 の構成を示すブロック図。

【図 1 0】

第 4 実施例のパルス信号生成回路 1 3 0 の構成を示すブロック図。

【図 1 1】

第 5 実施例のパルス信号生成回路 1 4 0 の構成を示すブロック図。

【図 1 2】

第 6 実施例のパルス信号生成回路 1 5 0 の構成を示すブロック図。

【図 1 3】

従来のパルス信号生成回路 2 0 0 の一例を示すブロック図。

【図 1 4】

従来のパルス信号生成回路 2 0 0 の動作を示すタイミングチャート。

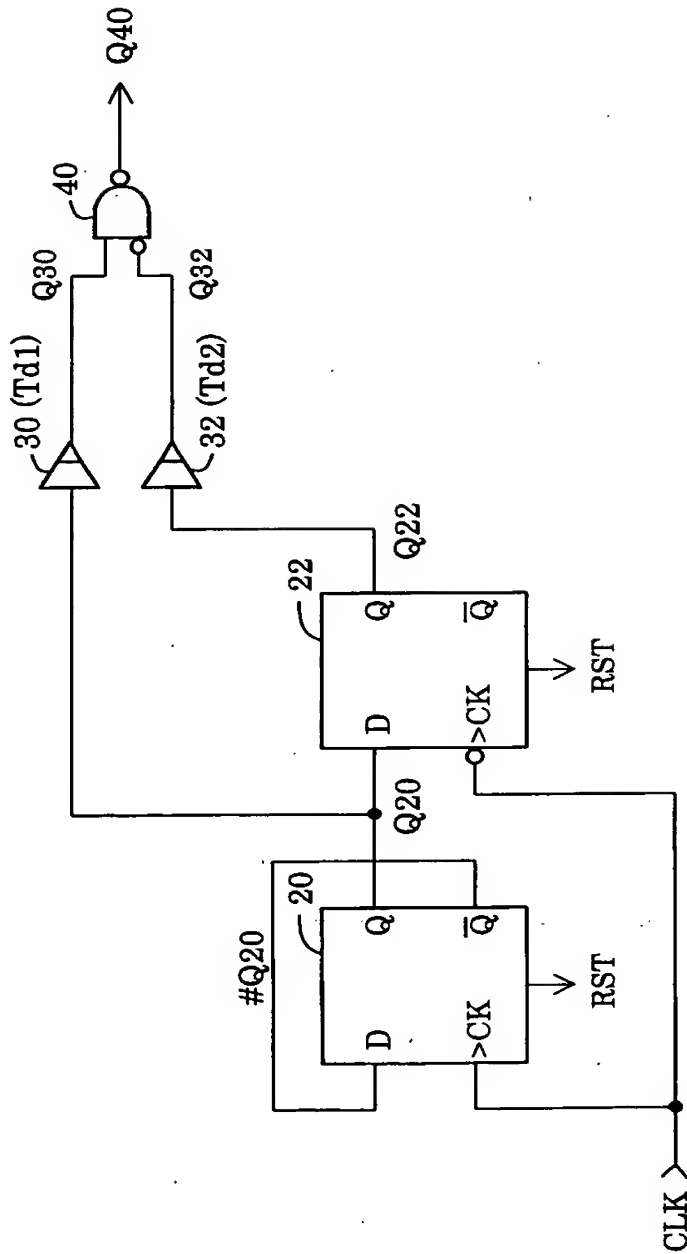
【符号の説明】

- 2 0, 2 2, 2 4, 2 6 … D フリップフロップ
- 3 0, 3 2, 3 4, 3 6 … 遅延素子
- 4 0, 4 2 … N A N D ゲート
- 5 0 … A N D ゲート
- 6 0 … E X N O R ゲート
- 7 0 … イネーブル制御回路
- 7 2, 7 4 … A N D ゲート
- 7 6 … O R ゲート
- 1 0 0 … パルス信号生成回路 (第 1 実施例)
- 1 1 0 … パルス信号生成回路 (第 2 実施例)
- 1 1 2 … 前段回路
- 1 1 4 … 後段回路
- 1 2 0 … パルス信号生成回路 (第 3 実施例)
- 1 3 0 … パルス信号生成回路 (第 4 実施例)
- 1 4 0 … パルス信号生成回路 (第 5 実施例)
- 1 5 0 … パルス信号生成回路 (第 6 実施例)
- 2 0 0 … パルス信号生成回路 (従来例)
- 2 1 0 … D フリップフロップ
- 2 2 0, 2 2 2 … 遅延素子
- 2 3 0 … N A N D ゲート

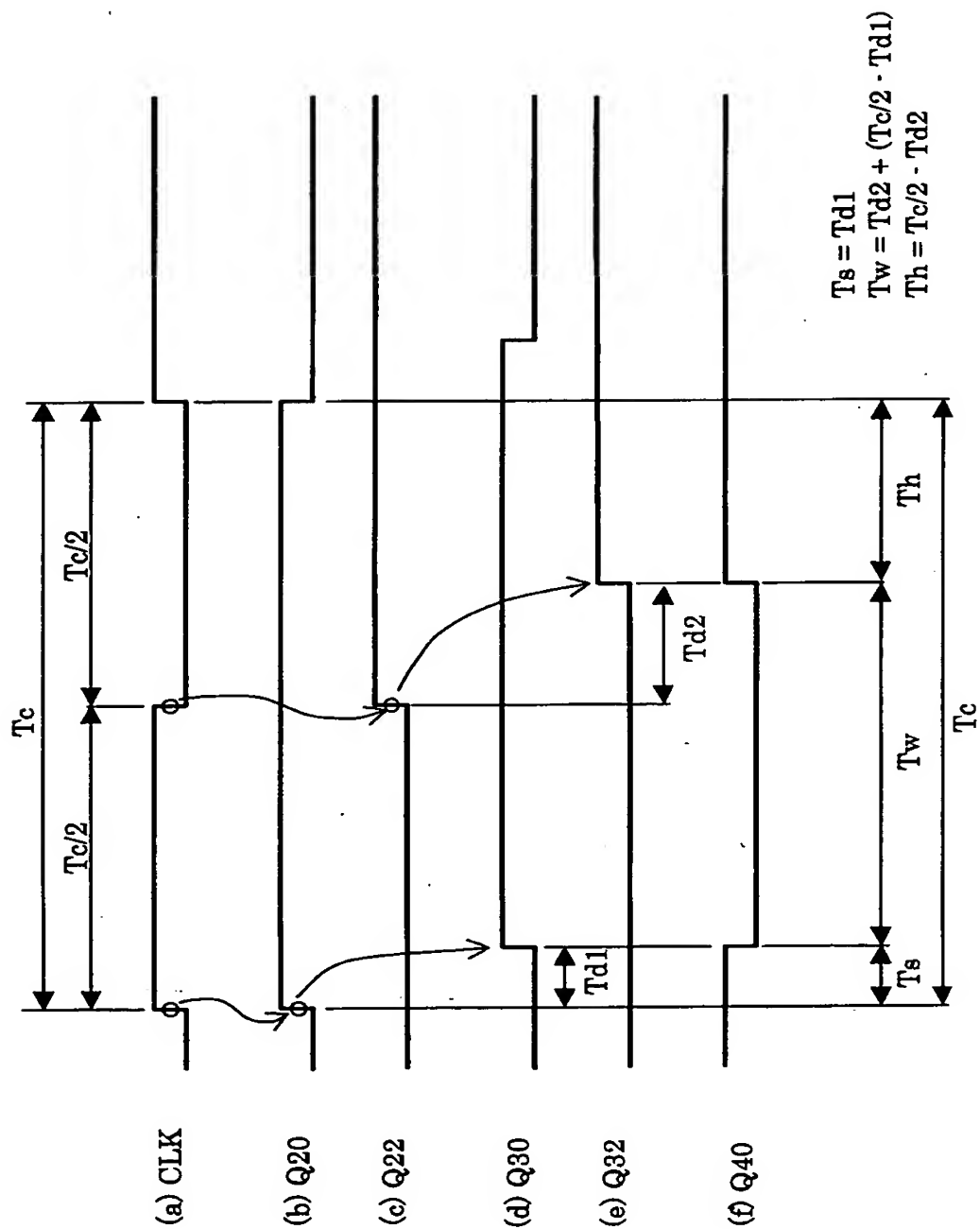
【書類名】 図面

【図 1】

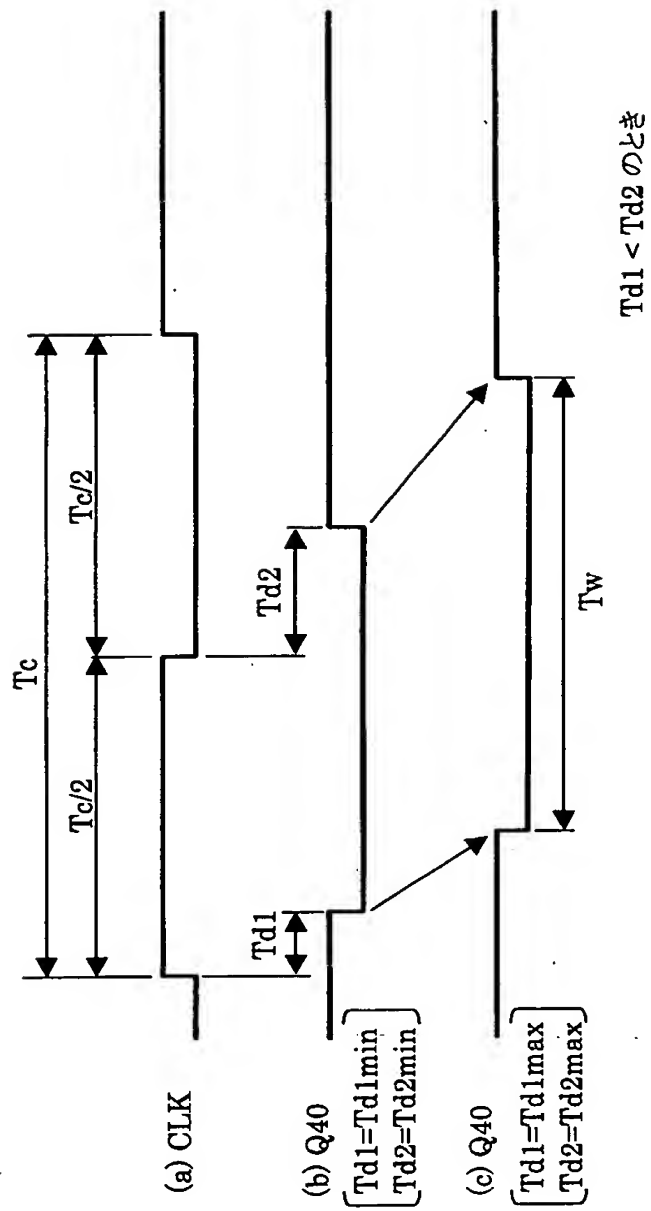
100



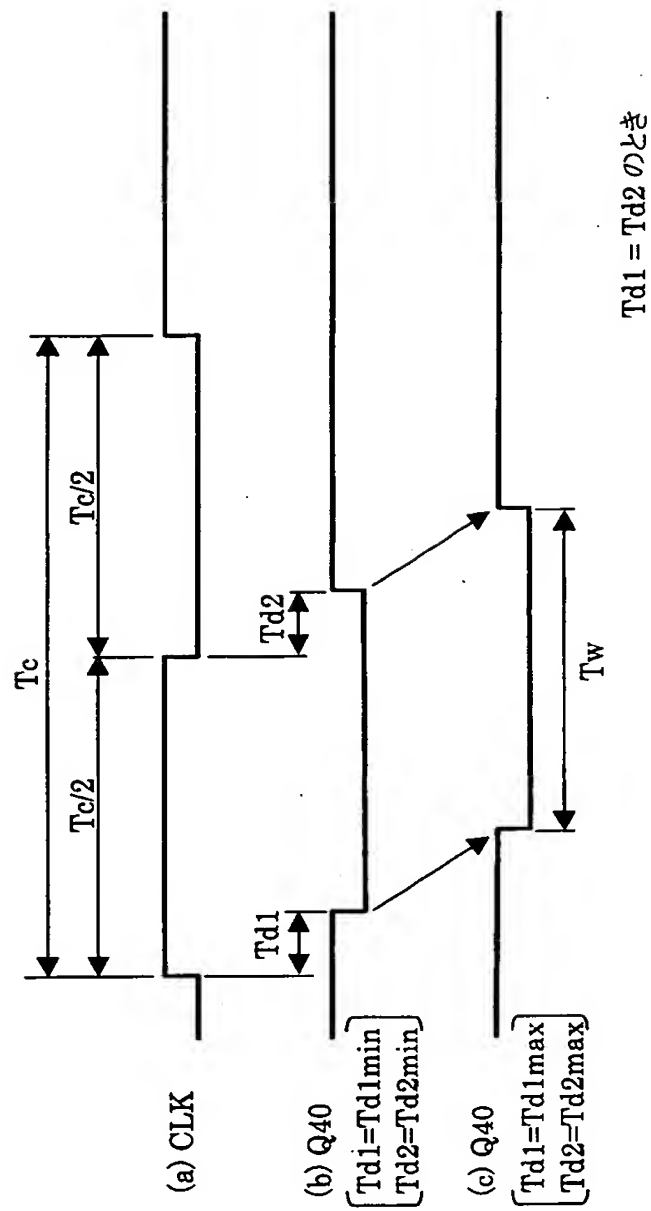
【図 2】



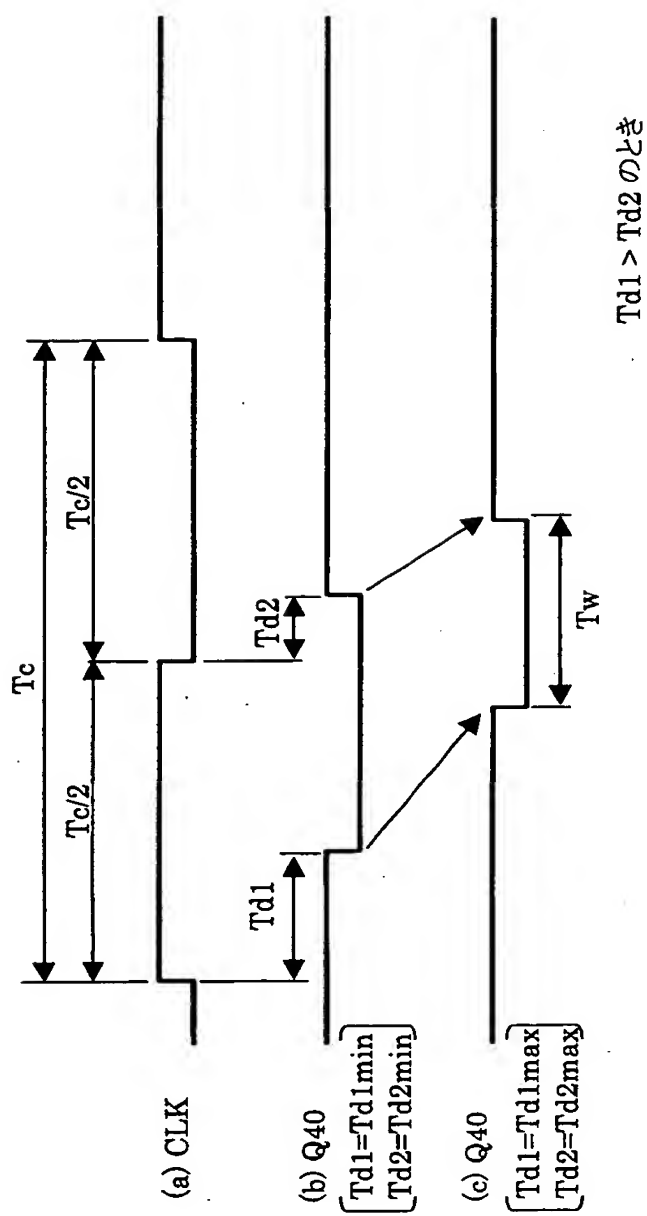
【図 3】



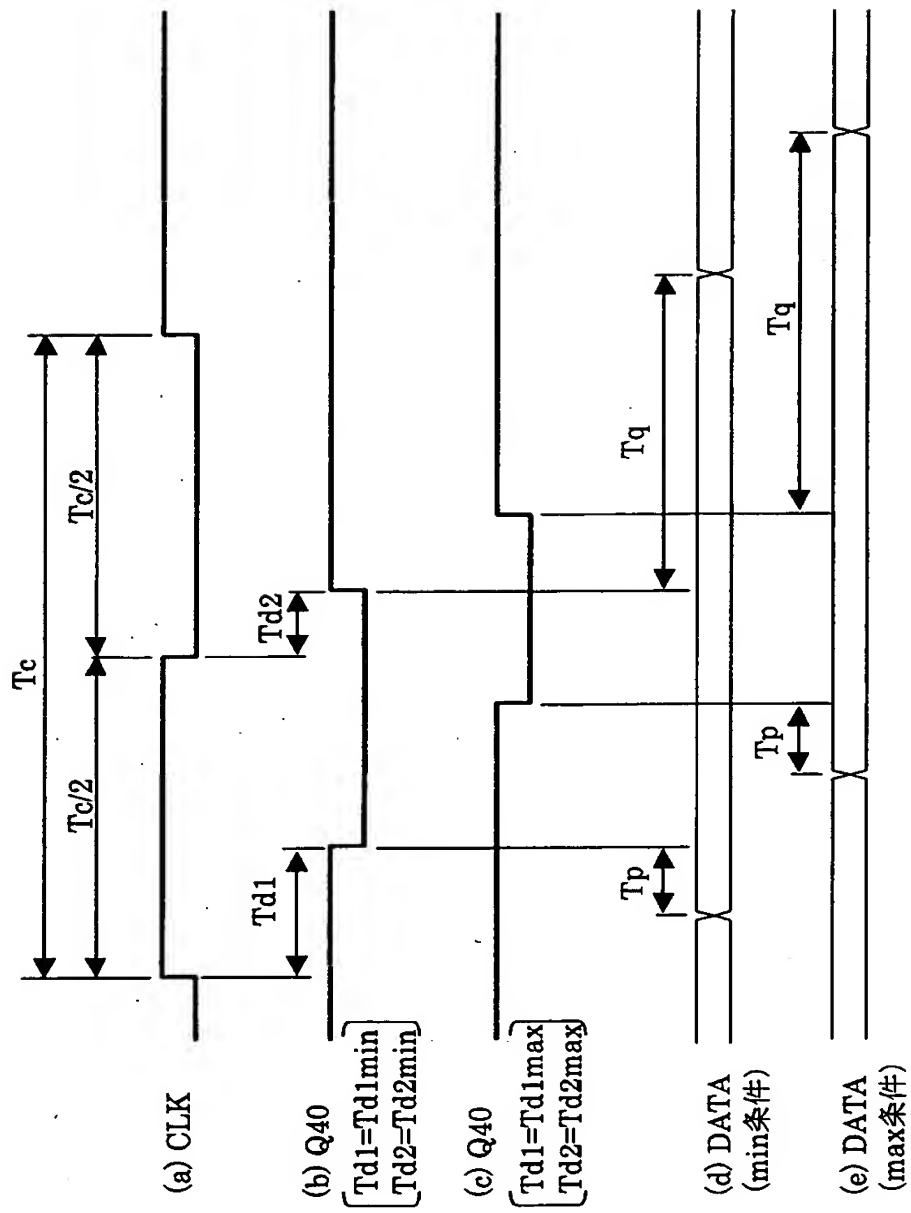
【図 4】



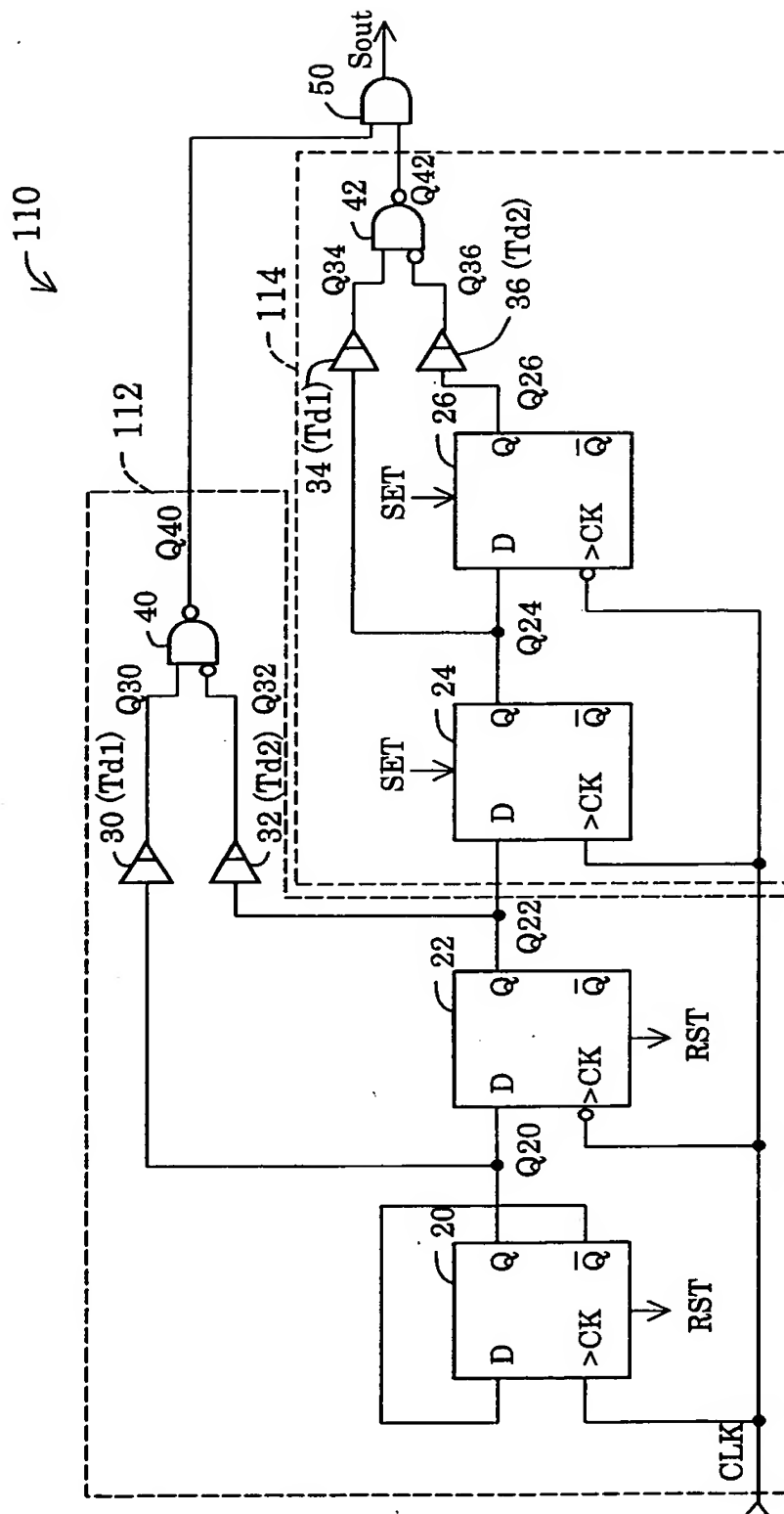
【図 5】



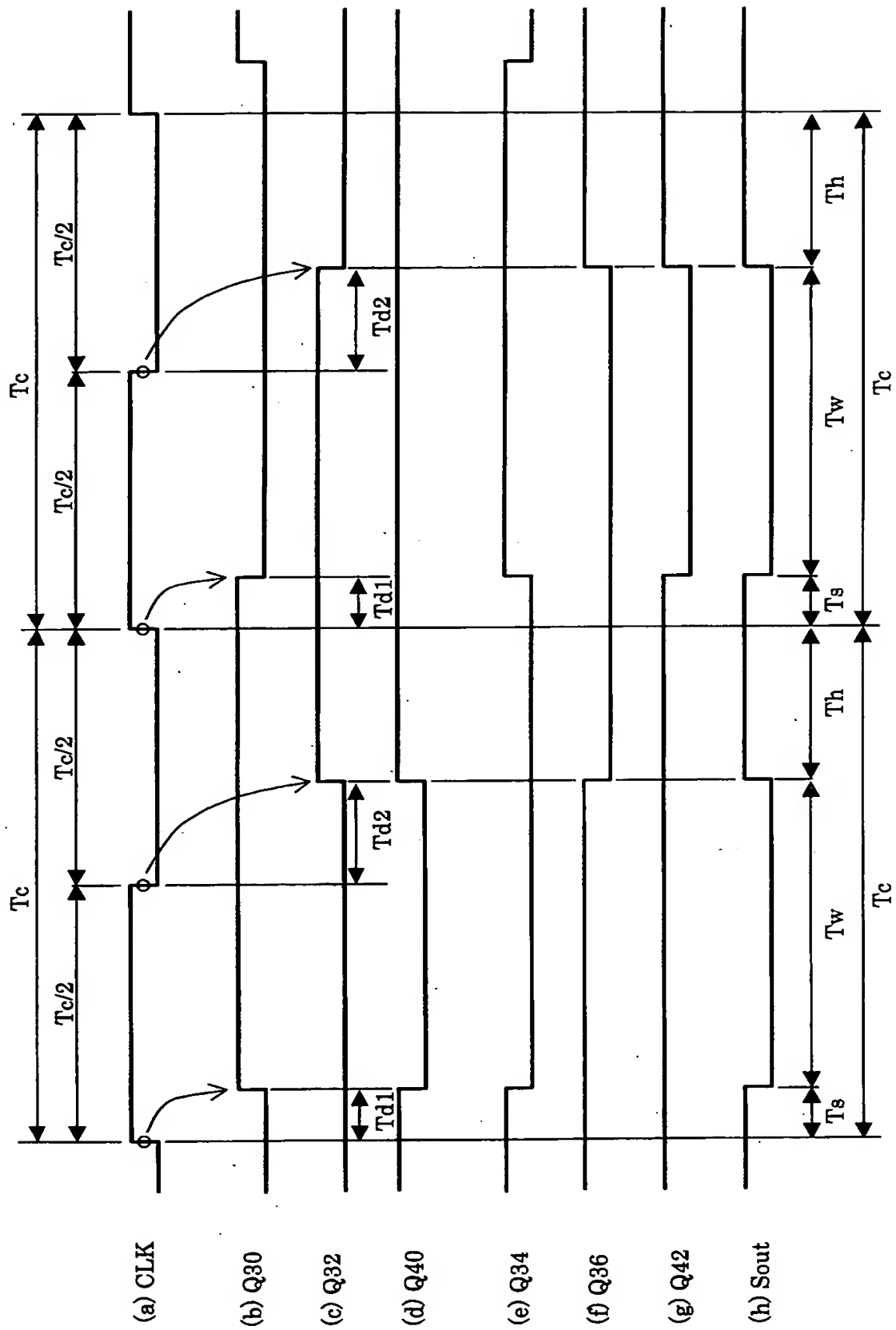
【図6】



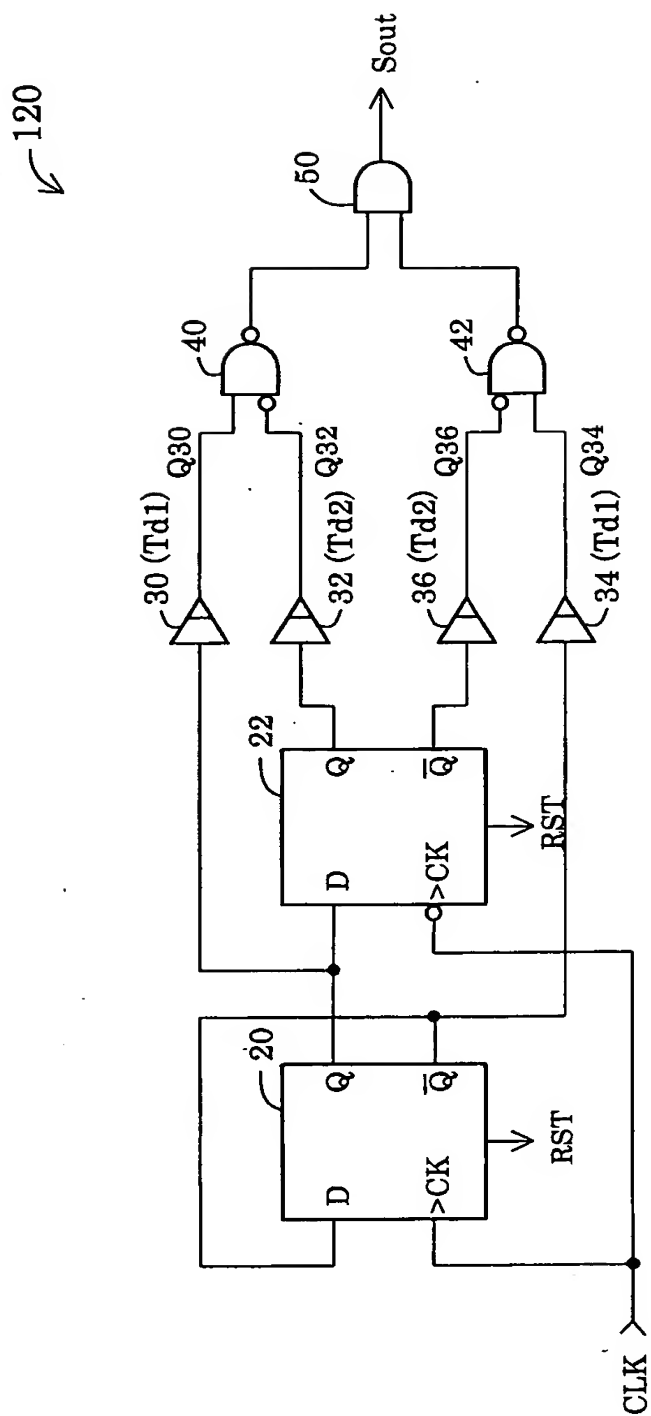
【図 7】



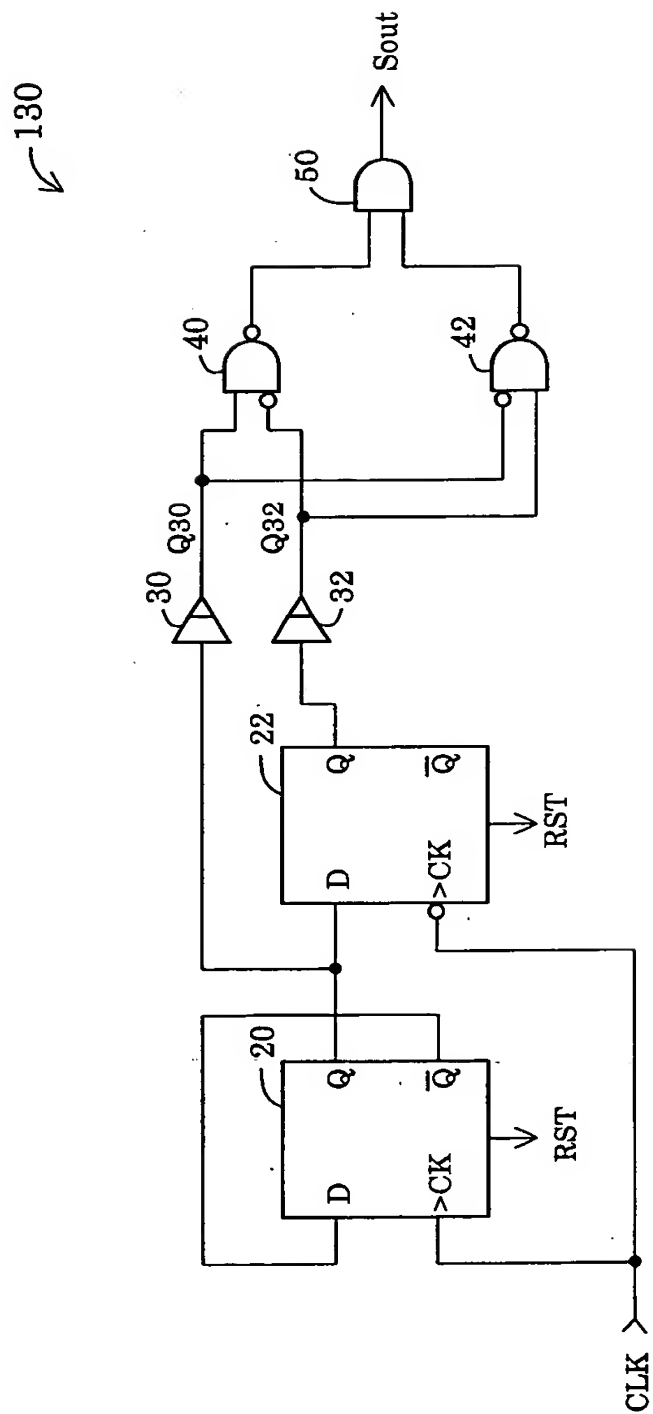
【图 8】



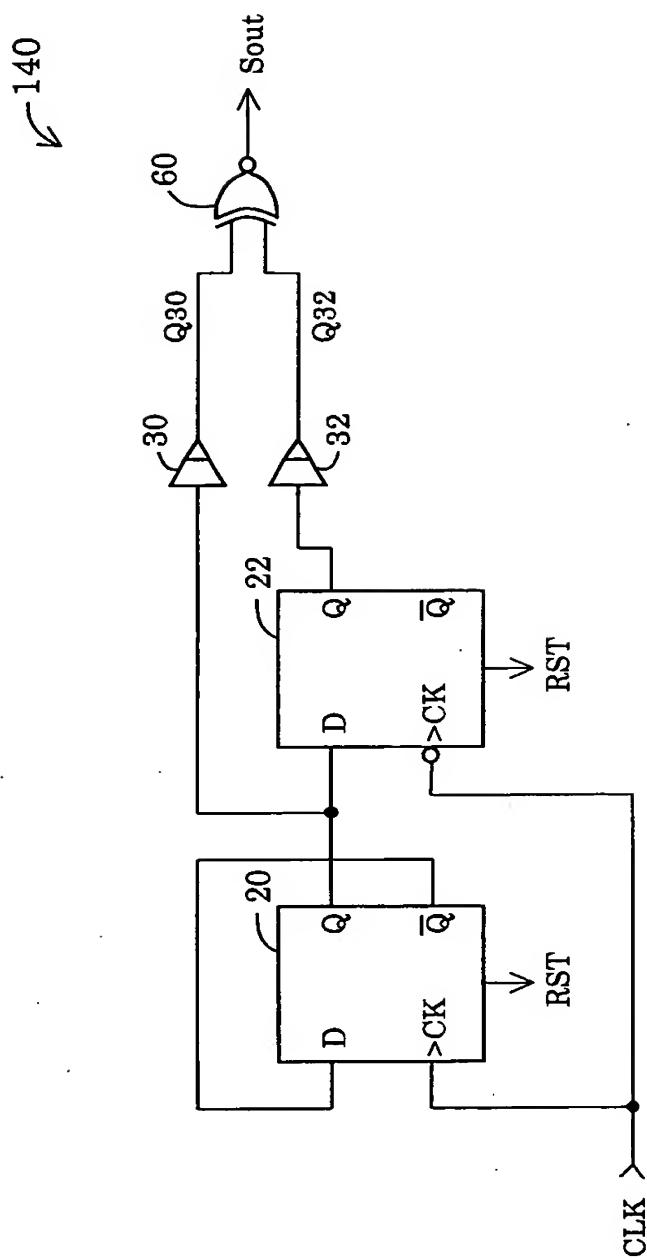
【図 9】



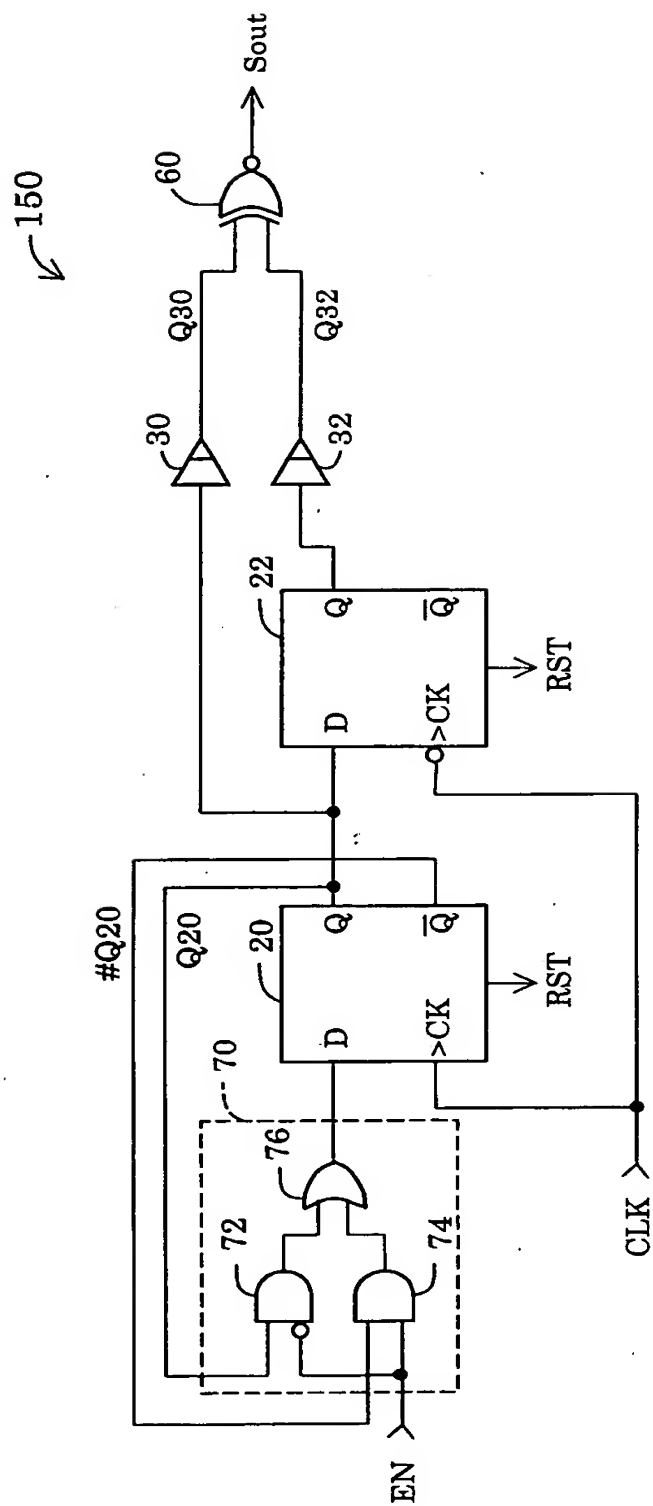
【図 10】



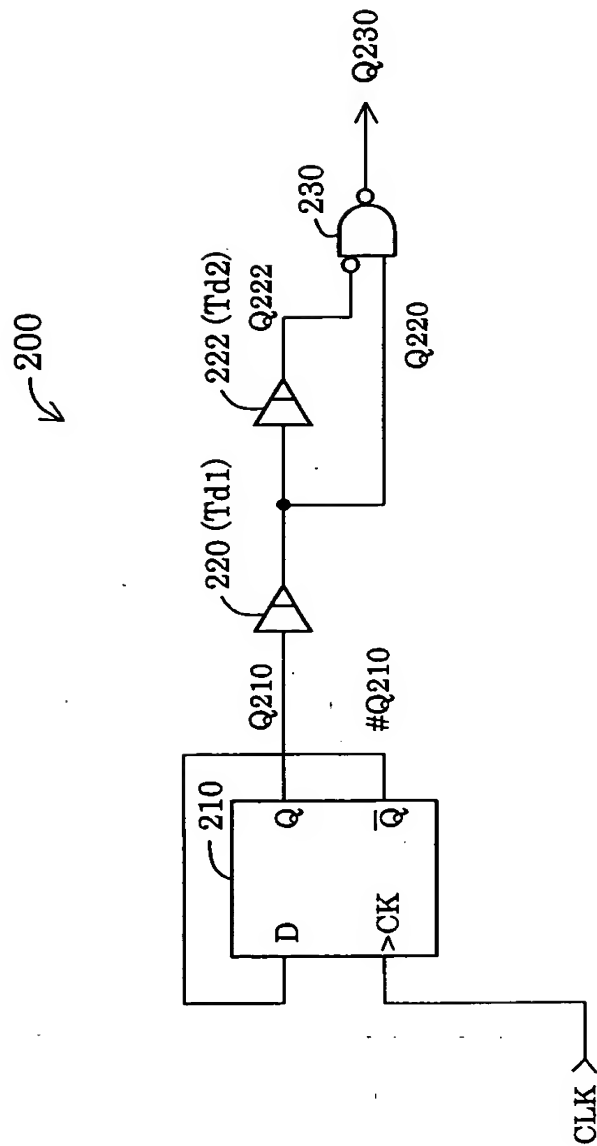
【図 11】



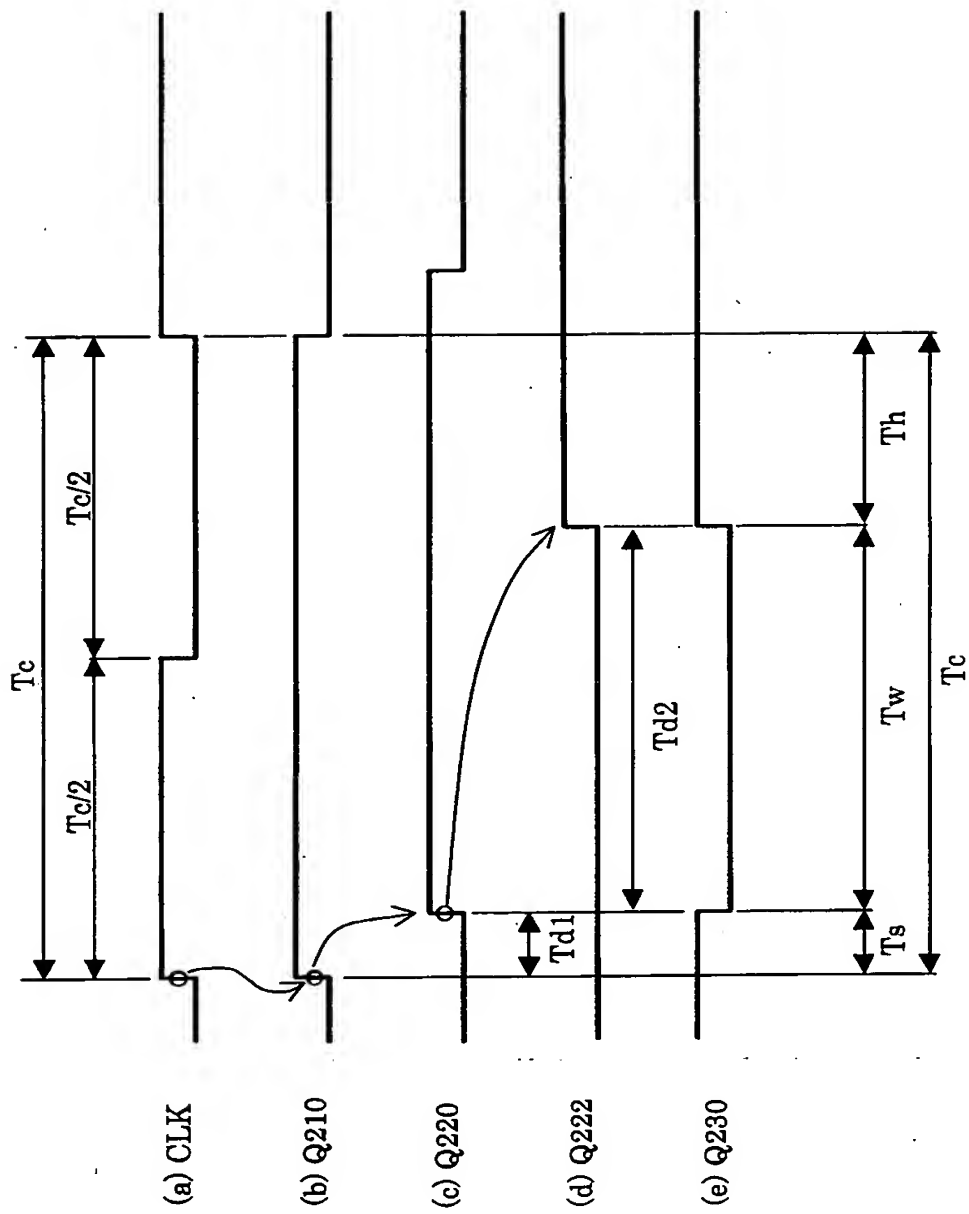
【図 12】



【図 1 3】



【图 14】



【書類名】 要約書

【要約】

【課題】 遅延素子における遅延時間の変動を考慮しても、クロック信号の周期を過度に低下させずにパルス信号の特定の期間に関する要求値を満足させることのできる技術を提供する。

【解決手段】 クロック信号CLKの立ち上がりエッジから第1の遅延時間Td1だけ遅延したエッジを有する第1の遅延信号Q30, Q34を生成する。また、クロック信号CLKの立ち下がりエッジから第2の遅延時間Td2だけ遅延したエッジを有する第2の遅延信号Q32, Q36を生成する。そして、これらの第1の遅延信号Q30, Q34と、第2の遅延信号Q32, Q36との論理演算を行うことによって、パルス信号Soutを生成する。

【選択図】 図7

出 願 人 履 歴 情 報

識別番号 [000002369]

| | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月20日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都新宿区西新宿2丁目4番1号 |
| 氏 名 | セイコーエプソン株式会社 |